

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63250148 A**(43) Date of publication of application: **18.10.88**

(51) Int. Cl.

**H01L 21/68****H01L 21/30****H01L 21/66****H01L 21/78**(21) Application number: **62085132**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **07.04.87**(72) Inventor: **ENDO TOSHIO**

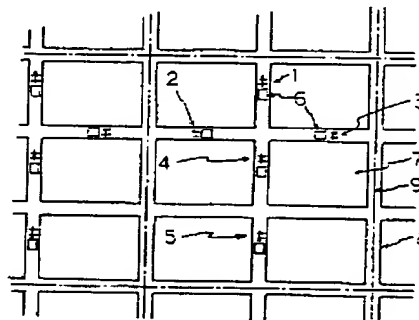
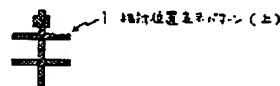
## (54) SEMICONDUCTOR DEVICE

## (57) Abstract:

**PURPOSE:** To efficiently and accurately judge which pattern inside a reticle is being observed, even through observation with a microscope, by a method wherein a pattern indicating a reticle position is arranged in a scribing region.

**CONSTITUTION:** In a structure where semiconductor devices arranged like a matrix and scribing regions to divide the devices are formed on a semiconductor substrate, patterns 1W5 indicating their relative positions are arranged in a scribing region 8. For example, for individual patterns 6 to measure the alignment accuracy the patterns 5 to indicate their relative positions are arranged in left and right positions, in upper and lower positions and in the center by using a figure to indicate the respective positions. These patterns to indicate their relative positions may be arranged not only together with the patterns to measure the alignment accuracy but also together with a pattern to measure a size, the pattern to evaluate the electrical characteristics, or the like. In addition to a method to indicate the patterns by using the figure as in said method, various methods to use a symbol, a combination of the figure and the symbol or the like are available.

COPYRIGHT: (C)1988,JPO&amp;Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-250148

⑬ Int.Cl.

H 01 L 21/68  
21/30  
21/66  
21/78

識別記号

301

庁内整理番号

F-6851-5F  
M-7376-5F  
P-6851-5F  
C-7376-5F

⑭ 公開 昭和63年(1988)10月18日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-85132

⑰ 出 願 昭62(1987)4月7日

⑱ 発 明 者 遠 藤 稔 雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

半導体基板上に、マトリックス状に配置された半導体装置とそれを分割するスクライプ領域を有する構造において、相対位置を表示するパターンを前記スクライプ領域に配置形成した事を特徴とする半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の構造に関するものであり、特に半導体装置の製造を管理する手段に使用する1補助パターンに関するものである。

(従来技術)

従来より半導体装置の製造において、縮小投影露光装置を使用する場合、スクライプ領域にアラ

イメント用パターンにはじまり、アライメント精度測定パターン、寸法管理用測定パターン、電気的特性評価用パターン等の多数の半導体製造を管理するに必要な補助パターンを使用し、またそれを配置していた。特に、縮小投影露光装置の場合は、半導体基板上に半導体装置を製造するパターンを一度には形成できないために、分割しステップアンドリピートで順時露光する方式を取っていた。このため、縮小投影露光装置に用いるフォトマスク(以下レチクル)に形成されている半導体装置は複数により構成されていた。そしてこのレチクルの中のスクライプ領域に前述の各種製造用補助パターンを配置している訳である。この時同一パターンたとえば、縮小投影露光装置のアライメント精度を測定するために、レチクルの回転方向のアライメント精度も測定しようとするれば、レチクルの中心の他の左右上下に測定パターンは必要となり計5パターンは配置せざるを得なくなるわけであり、第3図にその配置例の平面図を示す。この例では、6個の半導体装置をレチクル内

に3×2で配置してありますが、全く同一形状のアライメント精度測定用パターンを顕微鏡で観察する場合、今日の位置のパターンを見ているか非常にわかりにくいという欠点があります。そのため、倍率を低倍率にして目視でだいたいどの位置を見ているかをあらかじめ確かめてから行なう事になるわけですが、縦横のスクライプ領域の判別はできても、それが左なのか中心なのか上なのか下なのかは判別することは相当に困難なものであり、せっかくの管理用のパターンを十分に生かすきれないという状況になってしまいます。また、できるにしても大きな労力や手間をかける事となり効率の良い作業とはなりえないものである。

(発明が解決しようとする問題点)

以上のように、従来技術では、レチクルの中に複数の同一パターンが存在すると非常に判別しにくいものであり、それを判別するための労力や手間および効率の悪さは顕著性に欠けるものである。

本発明の目的はこのような問題点をなくし、効

率良く正確に、レチクル内のどのパターンを観察しているのか顕微鏡をのぞいても判別可能にしようというものである。また本発明のもう一つの目的は、それ程大きな作業、工数を掛けないで比較的簡単に実施可能にしようとするものである。

(問題点を解決するための手段)

本発明は前述の問題点を相対位置を表示するパターンを配置形成することにより解決しようというものである。

(実施例)

第1図は、本発明の相対位置表示パターン例の平面図である。第2図はこの相対位置表示パターンを配置形成した半導体装置の平面図である。

この実施例では、アライメント精度測定用パターン6毎に相対位置表示パターン1～5を左右上下と中心にその位置を表示する形で表わして配置した。また、この相対位置表示パターンは半導体装置を製造するに必要なすべての工程に形成したのではなくフィールド領域(SiO<sub>2</sub>膜)となる比較的初期の工程にて形成したのみで十分に最

終工程まで使用できるものであった。また、顕微鏡から目を離すことなく容易に判別することが可能であった。

(発明の効果)

以上述べたように、レチクル内の相対位置を示す相対位置表示パターンを配置形成することは半導体装置の製造の管理をより正確に効率良くする方法として非常に有用である。この相対位置表示パターンは、実施例のアライメント精度測定パターンのみならず、寸測測定用パターンや、電気的特性評価用パターンと共に配置してもよい効果を得ることができる。また、本発明の効果は同一レチクル上に形成される半導体装置の数が多くなればなる程にその効果を発揮するものである。また本発明の効果は前述の実施例の図形で表わす方法の他に記号や図形と記号の組合せ等のいろいろな方法で行なう事ができ、得られる効果は同一かそれ以上であろう。

さらにレチクル中心方向を示す矢印パターンと組合わせることにより本発明の効果はさらに大き

な物になるであろう。

#### 4. 図面の簡単な説明

第1図は本発明による実施例の相対位置表示パターンの平面図。第2図は本発明による実施例の半導体装置の平面図。第3図は従来技術例の平面図。

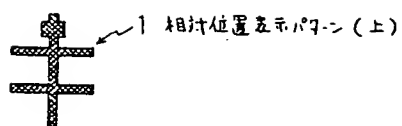
- 1…相対位置表示パターン(上)
- 2…相対位置表示パターン(左)
- 3…相対位置表示パターン(右)
- 4…相対位置表示パターン(中心)
- 5…相対位置表示パターン(下)
- 6…アライメント精度測定用パターン
- 7…半導体装置
- 8…スクライプ領域
- 9…レチクルの領域

以上

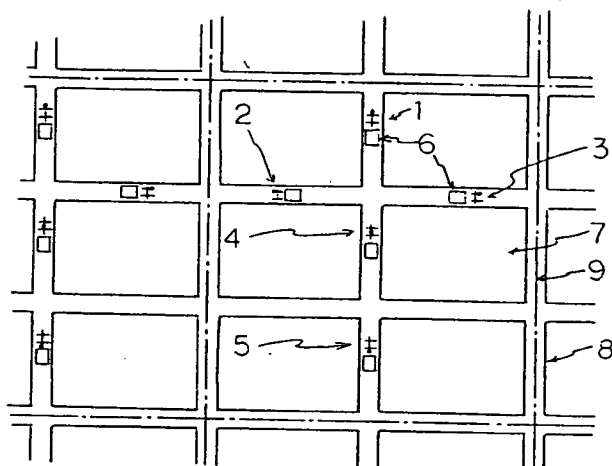
出願人 セイコーエプソン株式会社

代理人 弁理士 殿上 務 他1名

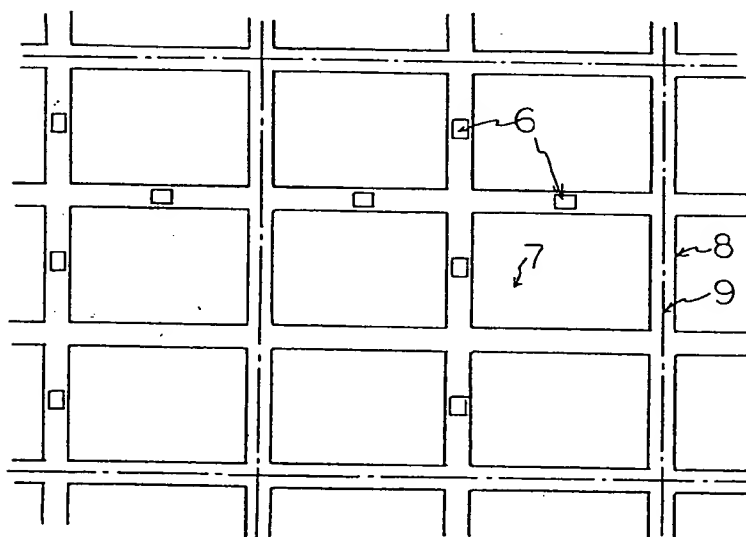




第1図



第2図



第3図